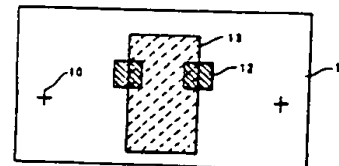


**(54) FORMATION OF PATTERN**

(11) 4-337732 (A) (43) 25.11.1992 (19) JP  
 (21) Appl. No. 3-110130 (22) 15.5.1991  
 (71) HITACHI LTD (72) MASARU MIYAZAKI(2)  
 (51) Int. Cl.<sup>3</sup>. G03F1/08, G03F7/20, H01L21/027

**PURPOSE:** To form the resist pattern to be used for producing compd. semiconductor devices, such as MESFETs in particular, for which fine sizes for gate of  $\leq 0.5\mu\text{m}$  are required with the pattern forming method using a resist.

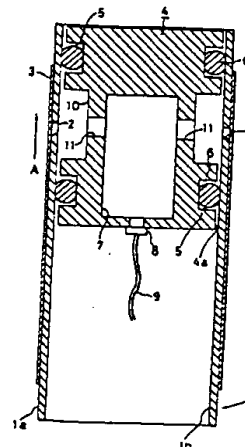
**CONSTITUTION:** The isolated resist pattern including the fine patterns is formed by using the steep light intensity distribution made at the edge of a phase shifter 13 of a mask including phase shifters 13 in the pattern. The unnecessary parts formed by the phase shifters 13 are removed by superposing another pattern 12 and exposing the resist. This method is effective for forming the fine patterns of  $\leq 0.3\mu\text{m}$  having the isolated patterns. The processing time is shortened drastically to  $\leq 1/6$  the processing time of the conventional methods which form the patterns by an EB plotting device.

**(54) DEVICE AND METHOD FOR PEELING FILM**

(11) 4-337733 (A) (43) 25.11.1992 (19) JP  
 (21) Appl. No. 3-109429 (22) 14.5.1991  
 (71) ALPS ELECTRIC CO LTD (72) KEIICHI AKIYAMA  
 (51) Int. Cl.<sup>3</sup>. G03G5/00, B65H29/54

**PURPOSE:** To easily and efficiently peel an endless film tightly winding around a supporting body.

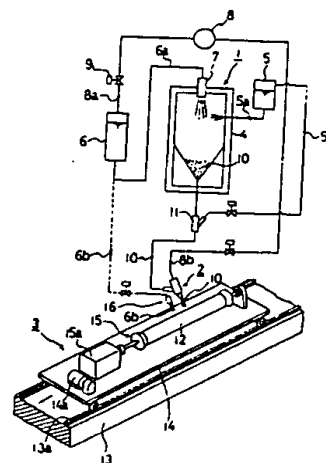
**CONSTITUTION:** The inner surface of the supporting body 1 is held in a state of higher pressure than the pressure of an outer periphery surface, gas is supplied to a boundary between the endless film 3 and the supporting body 1 through plural communicating holes 2 communicating the inside and the outside of the supporting body 1, and the film 3 is peeled from the supporting body 1 by the pressure of the gas.

**(54) RECYCLING AND PROCESSING METHOD FOR PHOTSENSITIVE DRUM**

(11) 4-337734 (A) (43) 25.11.1992 (19) JP  
 (21) Appl. No. 3-139733 (22) 14.5.1991  
 (71) TAIYO SANSO CO LTD (72) MASANORI TSUMURA  
 (51) Int. Cl.<sup>3</sup>. G03G5/05, B05D1/06, G03G5/10

**PURPOSE:** To recycle a photosensitive drum by economically and simultaneously executing the peeling of a photosensitive layer on the outer surface of the photosensitive drum and the cleaning of a peeled surface with high accuracy.

**CONSTITUTION:** Minute frozen particles from a minute frozen particle supplying device 2 are jetted to the outer surface of the photosensitive drum 12 supported on a holding device 3 after it is accelerated by an accelerating and jetting device 2, so that the peeling processing and the cleaning processing of the peeled surface of the outer surface photosensitive layer of the drum 12 can be simultaneously executed.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-337732

(43) 公開日 平成4年(1992)11月25日

(51) Int.Cl. <sup>8</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 3 F 1/08	A	7369-2H		
7/20	5 2 1	7818-2H		
H 0 1 L 21/027		7352-4M	H 0 1 L 21/ 30	3 0 1 P
		7352-4M		3 0 1 Z
審査請求 未請求 請求項の数7(全 6 頁)				

(21) 出願番号 特願平3-110130

(22) 出願日 平成3年(1991)5月15日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 宮▲崎▼ 勝

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(72) 発明者 松本 秀俊

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(72) 発明者 長谷川 昇雄

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(74) 代理人 弁理士 小川 勝男

(54) 【発明の名称】 パターン形成法

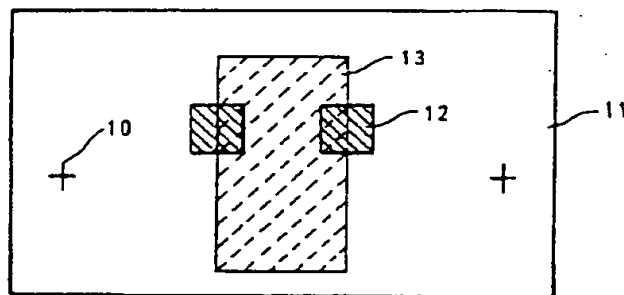
(57) 【要約】

【目的】レジストを用いたパターン形成法に関し、特に MESFET のような  $0.5\mu\text{m}$  以下のゲート用微細寸法を必要とする化合物半導体装置の製造に用いるレジストパターンを形成する。

【構成】微細パターンを含む孤立のレジストパターンを、パターン中に位相シフトを含むマスクの位相シフトのエッジに出来る急峻な光強度分布を用いて形成し、この位相シフトで出来た不必要な部分を別のパターンを重ねて露光して除去する。

【効果】孤立パターンをもつ  $0.3\mu\text{m}$  以下の微細パターン形成に有効で、従来、これをEB描画装置で作製するものに比べ、処理時間は  $1/6$  以下と、大幅に時間の短縮が図れた。

(図3)



## 【特許請求の範囲】

【請求項1】レジストにパターンを形成する工程において、マスクのパターンは、遮光部と位相シフト部からなるパターンによって構成されるマスクであり、レジストに形成する微細な寸法のマスクパターンは上記位相シフトパターンの少なくとも一辺を用いて形成されることを特徴とするパターン形成法。

【請求項2】レジストにパターンを形成する工程において、マスクは少なくとも遮光部と位相シフト部からなるパターンと該遮光部と位相シフト部からなるパターンによって形成される不要なパターンを除去するためのパターンによって構成され、該マスクから得られる合成像によって所望のレジストパターンを形成する請求項1記載のパターン形成法。

【請求項3】上記マスクは、少なくとも2枚のマスクから構成され、一方のマスクには遮光部と位相シフト部からなるパターンが、他方のマスクには上記位相シフト部によって形成される不要なパターンを除去するためのパターンが構成されているマスクにより得られる請求項1記載のパターン形成法。

【請求項4】上記マスクは、1枚のマスクから構成され、マスクの中には遮光部と位相シフト部からなるパターンが、また該マスクの中には上記位相シフト部によって形成される不要なパターンを除去するためのパターンが所定の位置に構成されているマスクにより得られる請求項1記載のパターン形成法。

【請求項5】レジストに形成する微細な寸法のマスクパターンは上記位相シフトパターンの少なくとも一辺を用いて形成される請求項1記載のパターン形成法。

【請求項6】レジストに形成する微細な寸法のマスクパターンは上記位相シフトパターンの少なくとも一辺と遮光部パターンの重なる部分を用いて形成される請求項1記載のパターン形成法。

【請求項7】該マスクパターンは化合物半導体装置の製造工程において、微細な寸法のレジストパターンを形成するために用いる請求項1記載のパターン形成法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明はレジストを用いたパターン形成法に関し、特に0.5 $\mu$ m以下の微細寸法を必要とする化合物半導体装置の製造に用いるホトリソグラフィーのレジストの形成法に関する。

## 【0002】

【従来の技術】半導体製造プロセスでホトリソグラフィーは寸法の微細化を進める上で主要の技術として位置づけられている。現在、最小寸法、0.4から0.5 $\mu$ mまでは通常のi線かエキシマレーザのステーパーで対処出来るが、これ以下の寸法のレジストパターンを形成する場合は、スループットの落ちる電子線描画装置を用いる必要があった。これに対して、従来のステーパーを用いて、

この利用技術の改良を図った、位相シフト法が提案され、検討がなされている。これは、例えば日経マイクロデバイス、1990年7月号、108ページから114ページに述べられている。これから分かるように、この位相シフト法はパターンが規則正しく並んでいたり、密集している場合のレチクルに適用されてきた。しかし、例えば、GaAs MESFET (Metal Schottky Field Effect Transistor) やこれを用いたICのゲートパターンのように比較的孤立した微細寸法のパターン群からなるマスクには従来の位相シフト法では効果が上がらず使われていなかった。

## 【0003】

【発明が解決しようとする課題】本発明は、上記の問題点を解決し、孤立の微細レジストパターンを位相シフト法を適用して形成することを目的とする。

## 【0004】

【課題を解決するための手段】上記の目的を達成するために、本発明によるレジストパターン形成技術は以下の手段を用いている。

【0005】微細パターンを含む孤立のレジストパターン群を形成するにはマスクに位相シフトを含むパターン群を使用する。約0.4ミクロンより小さいレジストパターンはマスクの位相シフトのエッジに出来る急峻な光強度分布を用いてレジストパターンを形成し、この位相シフトのエッジに出来た不必要な部分を、他のマスクパターンによる重ね照射で除去する方法を用いて所望のパターンを形成する方法によっている。

## 【0006】

【作用】ガラス基板101上の位相シフト102（位相角180°の場合）のエッジ部の光強度分布を計算機シミュレーションで求めた結果を図1に示す。エッジ部では光強度分布が急峻で、中心の光強度はゼロになることがわかる。このマスクでポジレジストを露光した場合にはレジストの厚さが目減りすること無く、0.3 $\mu$ m以下の寸法のレジストパターンをマスクの輪郭部に形成できる。ネガレジストの場合は、レジスト溝（スペース）を形成できる。図1の光強度分布は急峻なので、露光量に対するレジスト寸法シフトは少ない。このため、0.3 $\mu$ m以下の寸法は露光量を制御することによって容易に実現できる。

## 【0007】

【実施例】以下、本発明を実施例により詳細に説明する。

【0008】【実施例1】GaAs ICやLSIに使用されるMESFETのゲート層パターンを図2に示す。これには2個のゲートパターンの例を示し、各ゲートパターンは0.3 $\mu$ mのゲート長(Lg)のFET部1と電極取り出し用のパッド部2から成る。Cr等を遮光部に用いた従来のマスクパターンではi線ホトリソグラフ

3

イの解像度限界のためにこの様に細いゲート長パターンをレジスト上に転写することができなかったが、本発明によるパターン形成法ではこれを可能にした。この方法を以下に述べる。

【0009】図3と図4は図2に示したゲート層パターンを得るために実施した例を示す。これらは二枚のマスクパターンを示し、二枚のマスクから得られる合成像によってウエーハ上にゲートパターンが形成できる様になっている。図3はガラス基板11上にCrや酸化クロム等からなる遮光部のパッドパターン12と、シリコン酸化膜からなる位相シフトパターン(位相シフト)13から構成されたマスク#Aを示す。同図から分かるように、位相シフトパターン13とCrのパッド部パターン12は一部分に重なった領域があり、これらは別々の工程で形成されるものである。また図4はガラス基板21上にCrや酸化クロム等からなる遮光部の層22に孔開けパターン23が形成されたマスク#Bを示す。Crや酸化クロムの層は光の透過を完全に遮断し、シリコン酸化膜からなる位相シフトの層は光を完全に透過させるが光の位相を遅らす役割を持っていて、この例では位相差が180°になるように位相シフトの層の厚さを決めている。合わせマーク10、20はそれぞれのマスクに配列されている。この二枚のマスクを用いてウエーハ上のレジストにパターンを転写した例を図5と図6に示す。図5は図3に示したマスク#Aを用いて露光したポジ型のレジストパターン31、32を示す。位相シフトを用いた原理を図1で述べた様に、図3の位相シフトパターン13を含むマスクによってウエーハ上に露光すると位相シフトパターンの輪郭にレジストパターン32が約0.3μmの幅の寸法で形成される。マスク#Aでは不要な領域33、34のレジストパターンが同時に形成されてしまうが、これらを除去して2個のゲートパターンに分けるために図4に示したマスク#Bを用いて露光をする。この2回の露光のあとに現像処理を行ない、図6に示したように所望の寸法を持つゲートパターン36、37をウエーハ上にえる。

【0010】〔実施例2〕次に、本発明による他の実施例を図7と図8により説明する。

【0011】これは、実施例1で説明した例よりも位置精度の高いパターン形成を必要とする場合に適する例を示す。図7のマスクは位相シフト41、42、43とCrマスク44、45、46から構成されている。位相シフトで形成するFETのゲート部は同図から分かるように各シフトの同一方向の辺を使うために、位相シフトの加工精度がFETの合わせ精度に現れにくいようにしてある。図8は図6と同様に不要なレジストパターンを消すためのマスクパターンでCrマスクに窓51、52、53が開いている構成である。

【0012】〔実施例3〕続いて、本発明を用いてデ:

4

アルゲートFETは両ゲートの間隔が近いほど高感度になる。そこで図9のようにマスク#Aには本発明による位相シフト63とCrマスク64、65を配置した。この構成での位相シフトの最小寸法Lpはウエーハ上で0.5μmである。これによって得られたレジストパターン寸法は図10のようにゲート長0.3μm、スペース0.3μmの近接したデ:

アルゲートパターン81、82が容易に形成される。不要な部分のレジストは実施例1と同様に別マスクを持ちいて露光すれば良い。GaAs基板84上のWSiのゲートメタル83はこのレジストパターン81、82をマスクにして加工され、デ:

アルゲートが形成される。【0013】〔実施例4〕つぎに、一枚のマスクを用いて、これをずらして2回露光し所望の微細パターンを形成する実施例を図11と図12を用いて説明する。これは一枚のマスクの中に位相シフト91とCrパターン92、及び不要なレジストパターンを消すためのCrパターン93、さらに、このCrパターン93を消すためのブランクパターン94から構成され、図11に示すように各々のパターンは距離Sの間隔で配列されている。このマスクを持ちいて所望のパターンを得るための説明図を図12に示す。これはレジストパターンの図である。まず、図11のマスクを転写すると実線で示したレジストパターン95、96、97が形成される。続いて、同じマスクを距離Sだけずらして(図では左側に)露光すると破線で示した位置にパターン98、99、100がずれるので、二度露光される部分のレジストがなくなつて、この例では所望の1個のゲートパターン5が得られる。この実施例では、マスクのずらす方向を左右の例で述べたが、これに限定されるものではない。また、図11から分かるように1個のパターンを得るためには幅Wの領域が必要で、これは例えば、ウエーハ上で位相シフトの幅は約2μm、両パターン間隔Sは約5μm、幅Wは約15μmの値になる。これは例えば単体のFETやSSIレベルの孤立したゲートパターンの場合に十分使用でき、実施例1で述べたように2枚マスクを必要としない大きな特徴がある。

【0014】〔実施例5〕この実施例は本発明による位相シフトを用いてゲート長寸法の各種異なる形成法に関する。最小の寸法は今までの実施例で述べているような位相シフトだけのエッジ部を用いて得られる。この場合には、開口数0.5のi線(波長365nm)用レンズを用いた場合、露光量を過多にすると最小寸法は0.1μmも可能であった。このような最小寸法から徐々に太い寸法を得るためのマスクには図13に示すガラス基板71の断面図構造にしたパターンをいれる。これは位相シフト73の一边はCrパターン72の上に構成されている。5対1用のマスクのCrパターン72の寸法Lは1.0μmより徐々に太い寸法にするとウエーハ上のゲ

ート寸法は露光量を過多にする条件で約 $0.2\mu\text{m}$ から徐々に大きなものを得ることができる。また、この構造はエッジを用いて形成する微細パターンの位置精度向上にも効果がある。このパターンの位置精度は位相シフトの加工精度に依存する。すなわち、シフトの加工においてパターン寸法がずれた場合、そのずれ量の分だけ、上記微細パターンの中心位置がずれる。Crパターン72の幅を位相シフトの加工精度と同等にしておけば、シフトエッジは常にCrパターン内に位置することになり、転写される微細パターンの位置精度の低下は防止できる。i線ライナで $0.6\mu\text{m}$ 以上の寸法を形成する場合には同図に示した構成の位相シフト73を用いても用いなくとも良い。

【0015】〔実施例6〕本発明の他の実施例を図14と図15で説明する。

【0016】これはソースとドレインの領域を例えば高濃度のGaAs選択成長で形成するために要求されるパターン例である。図14はレジストパターンの上面図でレジスト200、201と開口部202を示し、とくに中央部のレジスト201の寸法は $0.3\mu\text{m}$ が要求されている。図15は図14のレジストパターンを形成するためのマスク構造を示す。Crマスク302は光が透過する窓303があげられて、これを半分の領域に渡って位相シフト301で覆い隠す構成になっている。このマスクによって、位相シフトのエッジ部に細いレジストパターンが形成できる。

【0017】〔実施例7〕本発明の他の実施例を図16と図17で説明する。

【0018】これは1個のFETにおける2本のゲートパターンを1枚のマスクで得るためのマスクパターン例とこれを用いて製作したGaAsMESFETの電極配置の図である。図16のCrマスク402と位相シフト401によって露光をし、ゲート電極を形成すると、図17に示すようにCrマスク402と位相シフト401のエッジ部に対応してそれぞれパッド部電極404とFETゲート部電極405、406の形状が得られる。また、別の工程によってソース電極407、408とドレイン電極409が得られる。このFETの構造は、ゲート抵抗を低めてゲート幅を長く必要とする電力用のユニットとして使われ、これを多数個使って電力用FETが構成される。FETゲート部電極405、406をつないでいる電極410はFETの性能にほとんど関係ないので有っても無くても良い。

【0019】

【発明の効果】本発明によるパターン形成法は、孤立パターンをもつ微細パターン形成に有効である。従来、 $0.3\mu\text{m}$ 以下のゲート加工用レジストパターンはEB

描画装置で作業していたが、3インチウエーハでの処理時間は約30分/枚であった。これに本発明によるパターン形成法を用いれば、同様の処理時間は5分/1枚以下となり、大幅に時間の短縮が図れた。

【図面の簡単な説明】

【図1】本発明の位相シフトによる光強度分布の計算値を示す図である。

【図2】本発明の実施例1のゲート層パターン図である。

10 【図3】本発明の実施例1に用いる一方のマスクの構成図である。

【図4】本発明の実施例1に用いる他方のマスクの構成図である。

【図5】本発明の実施例1の図3に示したマスクを用いて形成したレジストゲートパターン図である。

【図6】本発明の実施例1の所望のレジストゲートパターン図である。

【図7】本発明の実施例2に用いる一方のマスクの構成図である。

20 【図8】本発明の実施例2に用いる他方のマスクの構成図である。

【図9】本発明の実施例3のデュアルゲートパターン図である。

【図10】本発明の実施例3のデュアルゲートパターンの側断面図である。

【図11】本発明の実施例4のマスクの構成図である。

【図12】本発明の実施例4のマスクをずらして所望のレジストパターンを得る説明図である。

【図13】本発明の実施例5のマスクパターンの側断面図である。

【図14】本発明の実施例6のレジストパターン図である。

【図15】本発明の実施例6に用いるマスクパターン図である。

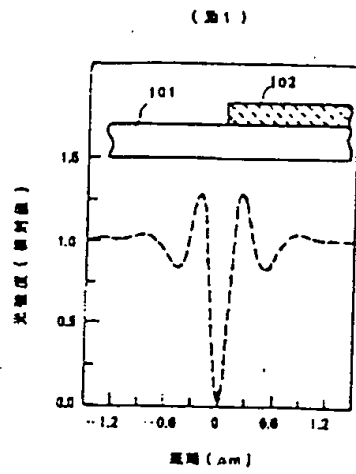
【図16】本発明の実施例7のマスクパターン図である。

【図17】本発明の実施例7のFET電極の上面図である。

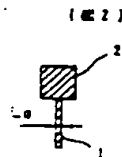
【符号の説明】

13、41、42、43、63、73、91、102、301、401――位相シフト、12、22、44、45、46、64、65、72、92、93、402――Crマスク、11、21、71、10――ガラス基板、32、36、37、81、82、95――位相シフトによるレジストパターン、84――半導体基板結晶、83――ゲートメタル。

【図1】

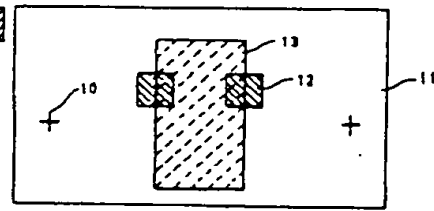


【図2】



【図3】

(圖3)

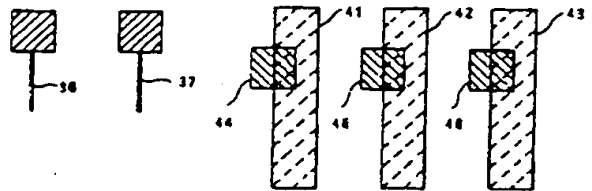


【図6】

【図7】

(圖6)

(圖7)

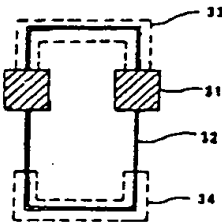
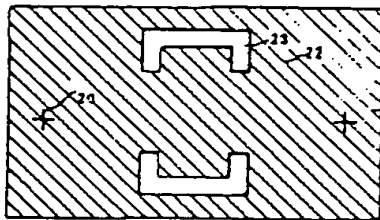


【図4】

【図5】

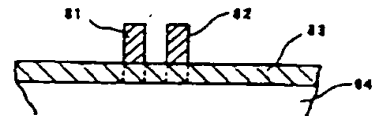
(圖4)

(圖5)



【図10】

(圖10)



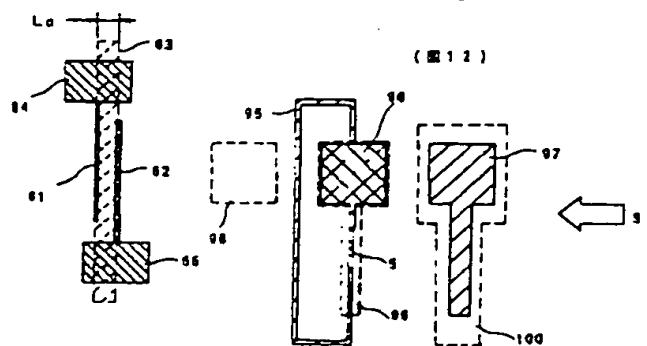
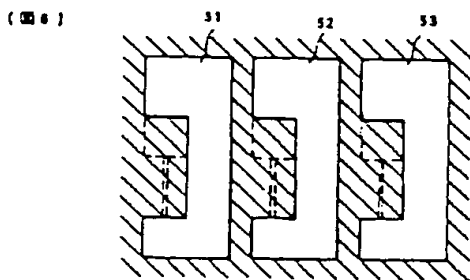
【図8】

【図9】

(圖8)

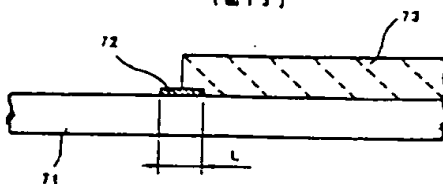
【図12】

(圖12)

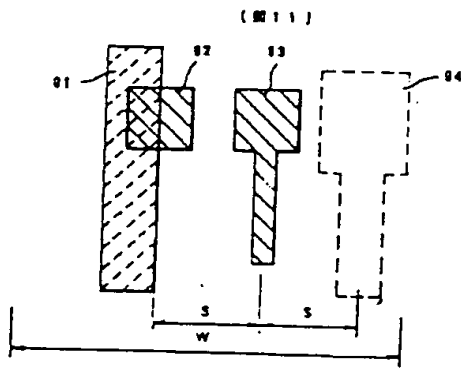


【図13】

(圖13)

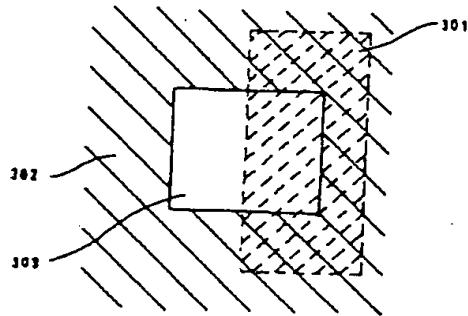


【図11】



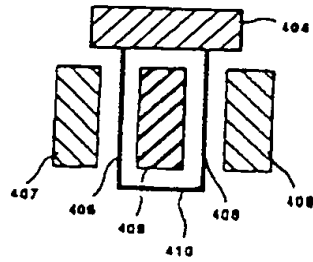
【図15】

(図15)



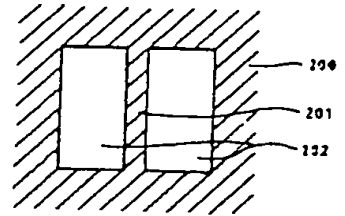
【図17】

(図17)



【図14】

(図14)



【図16】

(図16)

